

⑫ 公開特許公報 (A) 昭61-102782

⑤ Int.Cl.⁴
H 01 L 29/78識別記号
厅内整理番号
8422-5F

④公開 昭和61年(1986)5月21日

審査請求 未請求 発明の数 2 (全6頁)

⑥発明の名称 DMO S半導体素子製作方法

②特 願 昭60-238542

②出 願 昭60(1985)10月23日

優先権主張 ③1984年10月25日④イタリア(I T)⑤23302A/84

⑦発明者 クラウディオ・コンテ イタリア国、ブツチナスコ(プロヴィンチャ・オブ・ミラノ) ヴィア・ジョバンニ・ヴェンティレジモ、5

⑦出願人 エッセ・ジ・エッセ・ミクロエレットロニー イタリア国、カターニヤストラーダ・ブリモゾーレ、50
カ・エッセ・ビ・ア

⑦代理人 弁理士 深見 久郎 外2名

明細書

1. 発明の名称

DMOS半導体素子製作方法

2. 特許請求の範囲

(1) DMOSトランジスタを製作する方法であって、前記DMOSトランジスタがサブストレート内に位置づけられた本体チャンネル領域と少なくとも1つのソース領域を含むことを特徴とし、前記ソース領域を前記サブストレート上に置かれたドープされた多結晶層からドープし形成する工程を特徴とする方法。

(2) 前記ドープされた多結晶層が薄い多結晶シリコン層であり、さらに前記ソース領域のドープおよび形成工程において前記ドープされた多結晶層を完全に酸化することを含むことを特徴とする、特許請求の範囲第1項に記載の方法。

(3) 前記DMOSトランジスタが本体チャンネル領域、本体チャンネルコンタクト領域、少なくとも1つのソース領域、ゲート電極およびゲート絶縁体を含み：

前記本体チャンネルコンタクト領域を形成する工程と；

前記本体チャンネル領域を形成する工程と；
絶縁体によって前記本体チャンネル領域の少なくとも一部を保護する工程と；

前記絶縁体によって保護されていない前記本体チャンネルコンタクト領域の少なくとも一部とコントакトするよう、ドープされた多結晶シリコンの薄い層を置く工程と；

前記ドープされた多結晶シリコンからドープによって前記ソース領域を形成する工程とによって特徴づけられる、特許請求の範囲第1項に記載の方法。

(4) 前記絶縁体によって保護する工程が、ニ酸化シリコン層の形成工程と、それに続く、ニ酸化シリコン層に開口部を形成する工程とを含むことを特徴とする、特許請求の範囲第3項に記載の方法。

(5) さらに、前記ソース領域を形成するときに前記多結晶シリコンの薄い層を完全に酸化す

る工程を含む、特許請求の範囲第3項または第4項に記載の方法。

(6) 前記多結晶シリコンの薄い層が砒素でドープされ、前記ソース領域がN型の導電性であり、前記DMOSトランジスタがNチャンネルのDMOSトランジスタであってNチャンネルDMOSトランジスタであることを特徴とする、特許請求の範囲第3項、第4項または第5項に記載の方法。

(7) 前記本体チャンネル領域を形成する工程がゲート絶縁層を通るイオン注入を含むことを特徴とする、特許請求の範囲第3項、第4項、第5項または第6項に記載の方法。

(8) 前記本体チャンネル領域の一部を保護する工程が、前記本体チャンネルコンタクト領域上の前記ゲート絶縁層の一部を残す工程を含む、特許請求の範囲第7項に記載の方法。

(9) さらに、前記酸化された多結晶シリコン層を通る開口部を形成して、前記ソース領域の少なくとも一部分と、前記本体チャンネルコンタ

クト領域の一部分を露出する工程を含む、特許請求の範囲第5項に記載の方法。

(10) さらに、前記ソース領域と前記本体チャンネルコンタクト領域を電気的にコンタクトし、電気的に短絡するために、前記開口部に電気的に導電性の材料を置く工程を含む、特許請求の範囲第9項に記載の方法。

(11) 特許請求の範囲第1項ないし第10項のいずれかによって得られるDMOSトランジスタ素子。

3. 発明の詳細な説明

発明の分野

この発明は一般に二重拡散MOS(DMOS)の改良された製作方法に関し、より詳細には、ディスクリートの、または集積構造あるいは構成のどちらにも使用可能なDMOSパワートランジスタの改良された製作方法に関する。

先行技術の説明

過去において、DMOSトランジスタはディスクリートパワートランジスタとしてか、またはモ

ノリシック染積回路の要素として、利用されてきた。DMOSトランジスタはそれらが自己整列製作順序で製作される様態のために、半導体サブストレート区域について本質的に保守的である。

通常は、ゲート形成材料のマスク内にある孔を通して1つの形式のドーバント(PまたはN不純物)を導入することにより、チャンネル本体の領域が最初に形成されて、ゲートと自己整列のチャンネル領域を提供する。次に、存在する孔を通してチャンネル本体の領域のものとは反対の形式のドーバントを導入することにより、通常ソース領域が形成され、そのためソースはゲート電極とチャンネル本体の領域の両方に自己整列である。これは非常に少ない半導体サブストレート区域を利用する、非常にコンパクトな構造を可能にした。

しかしながら、DMOS素子のほとんどの適用、特にパワー素子としての適用においては、チャンネル本体の領域からソース領域へ短絡することなく生じるかもしれない、不所望の寄生トランジスタ作用を防ぐため、チャンネル本体の領域とソ-

ース領域の間に非常に低い抵抗の電気的短絡を形成することが必要である。チャンネル本体の領域はわずかにドープされており、半導体領域への低抵抗の電気的コンタクトは典型的には濃くドープされた表面領域を必要とするものなので、ソースと本体領域の両方に良い電気的コンタクトを保証するには、チャンネル本体の領域に補助的な濃くドープされたコンタクト領域を設ける必要がある。このような濃くドープされた本体領域は通常自己整列にできないため、DMOS素子の全体の大きさが増大することになる。典型的には、濃くドープされた本体コンタクト領域は通常他の2領域よりも前に形成される。次に、濃くドープされた本体コンタクト領域をソース領域のドーバント導入工程から保護するために、かなり厚いマスキング酸化物のバターン化された層が用いられる。ゲート電極の上および/または下の絶縁層を防護することなくこのマスキング酸化物のバターン化された層と、ソース領域上の酸化物と一緒にエッチして餘く又は除去する必要性が、経費、公差、および

処理の複雑さを増大させ、結果として電気的に良い素子の歩留りを減少させた。

上述の問題を改善する試みにおいて様々な方法が利用される一方で、歩留りを減少させることのない効果的なソースからチャンネル本体への電気的短絡を与え、素子の寸法上の縮小を受けやすい、またはそれを可能にするような、改良されたDMOS製作方法を提供する必要があった。

発明の概要

上述の観点から、この発明の課題はDMOSトランジスタ製作のための改良された方法を提供することである。

前記課題の中で、この発明の目的は、より小さい素子と、良い素子の高い歩留りとを結果としてもたらす、DMOSトランジスタの改良された製作方法を提供することである。

この発明の別の目的は、DMOSトランジスタの本体チャンネル領域とソース領域の間に電気的短絡を与えることを容易にする、改良されたDMOS製作方法または処理手順を提供することである。

ソース領域ドーピングと押し進められる拡散工程の効果からマスクで保護するためには、大変薄い酸化物が必要とされるだけである。ソース領域と本体チャンネルコンタクト領域の両方の上に残る薄い酸化物は金属付着動作内で除去され、ゲート電極の上または下の絶縁体の完全さを害することなく、また、様々な領域の形成のために大きな公差を用いる必要なしに、ソース領域と本体チャンネルコンタクト領域と一緒に電気的に短絡する。

この発明の別の実施例に従うと、半導体サブストレート内のDMOSトランジスタの製作のための方法が開示されている。DMOSトランジスタは本体チャンネル領域、本体チャンネルコンタクト領域、少なくとも1つのソース領域、ゲート電極およびゲート絶縁体を含む。製作方法は本体チャンネルコンタクト領域の形成、本体チャンネル領域の形成、絶縁体による本体チャンネル領域の少なくとも一部の保護、絶縁体で保護されていない本体チャンネルコンタクト領域の少なくとも

る。

この発明のさらに別の目的は、パワーDMOSトランジスタを製作する改良された方法を提供することである。

この発明のさらに別の目的は、集積回路内にDMOSトランジスタを製作する改良された方法を提供することである。

この発明の好ましい実施例に従うと、DMOSトランジスタの製作方法は、DMOSトランジスタがサブストレート内に位置づけられた、本体チャンネル領域と少なくとも1つのソース領域を含むように、開示されている。この方法は、サブストレート上に置かれたドープされた多結晶層からの、DMOSトランジスタのソース領域の形成とドープを含む。DMOSトランジスタのソース領域は、たとえば砒素をドープした多結晶シリコンから形成され、これは次に熱によって酸化されてDMOSトランジスタ素子のソース領域上に薄い酸化物を残す。ドーピング源として多結晶層を用いることにより、本体チャンネルコンタクト領

域をソース領域ドーピングと押し進められる拡散工程の効果からマスクで保護するためには、大変薄い酸化物が必要とされるだけである。ソース領域と本体チャンネルコンタクト領域の両方の上に残る薄い酸化物は金属付着動作内で除去され、ゲート電極の上または下の絶縁体の完全さを害することなく、また、様々な領域の形成のために大きな公差を用いる必要なしに、ソース領域と本体チャンネルコンタクト領域と一緒に電気的に短絡する。

この発明の上述の、そして他の目的、特徴および利点は、添付の図面に図示されたこの発明の好ましい実施例のより詳細な説明によって明らかになるであろう。

好ましい実施例の説明

第1a図を参照すると、この発明の改良された方法に従った改良されたDMOSトランジスタ素子の製作に適した半導体サブストレートの横断面図が示されている。濃くドープされたN⁺サブストレート2上に置かれたN⁻型材料のエピタキシャル層3は、改良された方法の始点を図示する。これに代わる方法として、N⁻領域3は、公知の従来の分離型方法に従って、集積回路サブストレート内の分離された(PN接合分離または誘電体分離)タブ領域であってもよい。少なくとも1つの(好ましくは2つまたは3つ以上の)P⁺領域

1が、N⁻型領域3の表面内に、たとえば従来の、研磨等のP型ドーバント膜を用いた、フォトリソグラフのマスキング、エッティングおよび拡散技術によって形成される。所望されるならば、P⁺領域4の形成にはイオン注入技術を用いることもでき、P⁺領域4の数は、ディスクリートなDMOS素子が形成されるかどうか、または、1つの集積回路の形状内で1つまたは2つ以上のDMOS素子が用いられるかどうかにかかっている。このようにして形成された1つまたは2つ以上の層くドープされたP⁺型半導体材料の表面領域4は、最終的に、完成したDMOS素子の本体チャンネルに高導通率または抵抗率のコンタクト領域を形成する。次に、1つまたは2つ以上のP⁺領域4を含むサブストレートの表面上に、酸化物(二酸化シリコン)の層12が、好ましくは熱によって成長するか、または置かれる。この酸化物は好ましくは、また実質的には、完成したDMOS素子のゲート絶縁体として働く。次に、たとえば500オングストロームの多結晶シリコン層が絶縁

それぞれP型本体チャンネル領域6と、より高いP⁺ドープのチャンネル本体コンタクト領域4Aを形成するために高温でサブストレートに押しやられる。拡散動作での押しやる動きの間の側方拡散によって、よりわずかにドープされたP領域6がより深くドープされたP⁺領域の外側(ドープされたポリシリコンゲート電極20の下の酸化物部分の下)に延在することは注目すべきであり、それによってこの発明の方法によって形成されるNチャンネルDMOS素子に最適条件のチャンネル領域が与えられる。

第1c図に進むと、ゲート絶縁酸化物層12の部分が従来のフォトリソグラフィのマスキングおよびエッティング技術によって除去され、P型領域4Aおよび6の部分が露出している。絶縁層12の、P⁺本体チャンネルコンタクト領域4A上に残っている部分は、後の第1d図および第1e図に描かれる後続のドーピング工程からこれらの領域をマスクし、あるいは保護するように働く。

第1d図を参照すると、薄い多結晶シリコンの

層12上に置かれ、好ましくは従来のフォトリソグラフのマスキングおよびエッティングの技術によってバターン化されて、1つまたは2つ以上の導電ゲート電極領域20を残し、各ゲート電極領域20は完成したDMOS素子のゲート電極として働く。多結晶シリコンは、それを電気的に導電性にし、それによって1つまたは2つ以上のゲート電極20を提供するため、多結晶シリコン付着工程の後、好ましくは、たとえば燐によってドープされる。絶縁層12は典型的には500オングストロームから1500オングストロームの範囲の厚さを有し、好ましくは約850オングストロームの厚さを有する。

次に第1b図を参照すると、ドープされたポリシリコン領域20によって形成された孔を通して付加的なP型ドーピングが導入される。燐等の適当なP型ドーバントは、薄い絶縁層12を通るイオン注入により最も都合良く正確に導入される。このように導入されたドーピングは、薄いP⁺型領域4に前もって導入されたドーピングとともに、

層30が半導体サブストレートの表面の全部分にわたって置かれる。この薄い多結晶シリコン膜の厚さは好ましくは約30ナノメータもしくは300オングストロームであり、これは多結晶シリコン付着工程の間に、好ましくは砒素等のN型不純物でドープされる。砒素は、たとえば燐などよりも遙い拡散率のために、より浅いN⁻ソース領域8を作ることから、また、砒素によってドープされたN⁺ソース領域8の形成のために薄いマスキング酸化物の使用を可能にすることから、好ましいN型ドーバントである。

N型ドーバントは拡散ドライブインサイクルの間高溫に露出された後、第1e図に示されるN⁻ソース領域8を提供するように働く。この拡散ドライブイン熱処理の過程の間に、砒素によってドープされた薄い多結晶シリコン膜または層30内の砒素はN⁺ソース領域8に移される、または逆ばれる。このドライブイン拡散工程の間に酸化動作が実行されまたは導入されて、ポリシリコン層30を、ゲート電極または領域20を含む素子の

すべての界面あるいは半導体領域を覆う酸化物（二酸化シリコン）の絶縁層14に見える。したがって、濃くドープされたN⁺ソース領域8が形成されるばかりでなく、これらのN⁺領域8およびP⁺本体チャンネルコンタクト領域4Aは両方とも、N⁺領域8とP⁺領域4A上のはほぼ同じ厚さの薄い熱酸化物絶縁層14によって覆われており、これは金属コンタクトの付着および形成のための後続のコンタクト切開を容易にする。

第11図を参照すると、付けられた（またフォトリソグラフのマスキングおよびエッティング技術によってバターン化された）酸化物（好ましくは焼ドープのvapox）層18が、ゲート電極領域20をより完全に絶縁し保護するために、薄い、熱によって成長した酸化物層14を増大させるように用いられている。この付着された酸化物の層18がその絶縁およびバッシベイティング作用を高めるために、焼でわずかにドープされている。両方の酸化物層14および18を通って孔がエッチされまたは切除されて形成されN⁺ソース領域8

とP⁺本体チャンネルコンタクト領域4Aの部分を半導体サブストレートの表面に露出させる。次に、アルミニウムまたはアルミニウム合金などの適当な電気的に導電性の材料の層40が全構造の上に置かれ、集積回路の適用のために個別のDMOS素子の輪郭を描くようパターン化される（図示されていない）。この導電層はDMOS素子のN⁺ソース領域8に電気的コンタクトを作るように働き、また同様に、濃くドープされたN⁺ソース領域8と濃くドープされた本体チャンネルコンタクト領域4A間に所望される低抵抗の電気的短絡コンタクトを与えるように働く。N⁻領域3は下にあるN⁺領域2とともに、DMOS素子のドレイン領域を提供し、N⁻領域3への電気的コンタクトはN⁻領域3の表面の部分にオーミックコンタクトを与えることによって提供されるか、または、もしもDMOS素子がディスクリートDMOSパワー素子として用いられるならば、N⁻領域2の裏側にオーミック電気的抵抗を与えることによって提供される。

この発明は好ましい実施例を参照して詳細に示され述べられてきたが、この発明の精神および範囲を逸脱することなしに、上述のものおよび形状や相違にわたる他の変更がなされてもよいことは当業者には理解されるであろう。たとえば、好ましい実施例に示された導電形式を逆にしてPチャンネルのDMOS素子を提供することもできる。始点は第1の導電形式のサブストレートかサブストレートの部分であり、次に第1の導電形式と逆の第2の導電形式の本体チャンネルと本体チャンネルコンタクト領域の導入が続き、ドープされた多結晶シリコンソース（前記第1の導電形式の不純物でドープされている）からの、第1の導電形式のソース領域の導入となり、これは引続いて酸化される。

4. 図面の簡単な説明

第1a図ないし第11図は、この発明の改良された方法を図示するためこの発明のDMOS素子の製作過程の6つの異なる段階を描写した横断面図である。

図において2はN⁺領域、3はN⁻領域、4はP⁺領域、4Aは本体チャンネルコンタクト領域、6は本体チャンネル領域、8はソース領域、12はゲート絶縁酸化物層、20はゲート電極領域、30は多結晶シリコンの層、40は導電性の材料の層である。

特許出願人 エッセ・ジ・エッセ・ミクロエレクトロニーカ・エッヒ・ビ・ア

代理人 弁理士 深見久郎
(ほか2名)

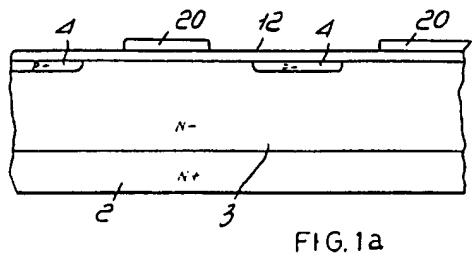


FIG. 1a

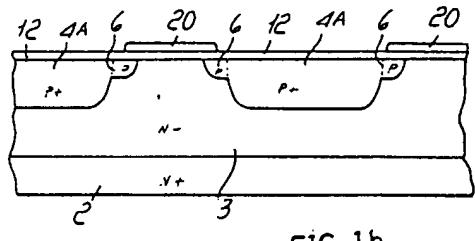


FIG. 1b

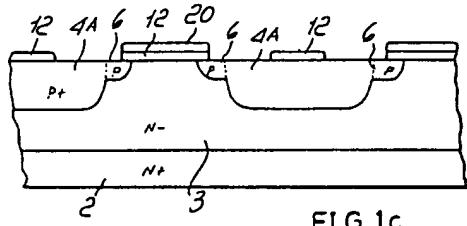


FIG. 1c

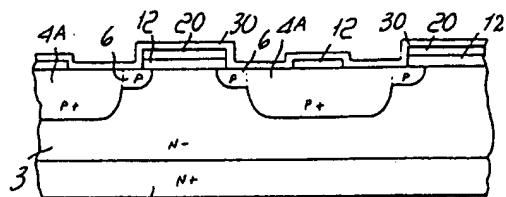


FIG. 1d

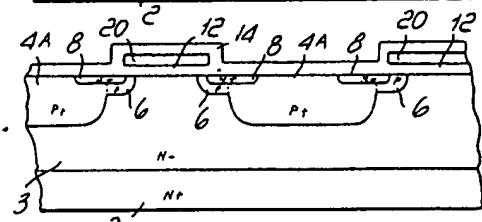


FIG. 1e

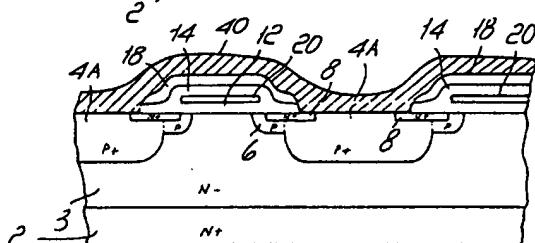


FIG. 1f

MENU | **SEARCH** | **INDEX** | **JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **62-257699**

(43)Date of publication of
application : **10.11.1987**

(51)Int.CI. **G11C 17/00**

(21)Application number : **61-102782** (71) **NIPPON DENSO CO LTD**
Applicant :

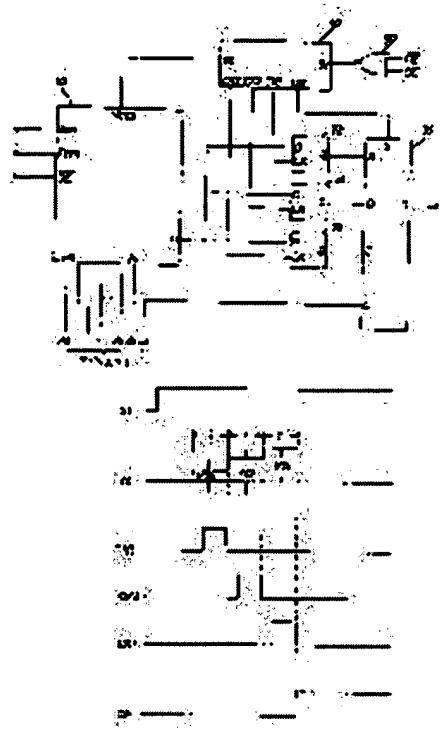
(22)Date of filing : **01.05.1986** (72)Inventor : **KOSHIDA SHINGO**

(54) MULTI-LEVEL STORAGE SEMICONDUCTOR CIRCUIT

(57)Abstract:

PURPOSE: To increase the storage capacity by using plural levels for the electric charge injected in a floating gate to attain multi-level storage, changing stepwise the reference potential and converting the combination of outputs at each step into a desired form to reproduce multi-level storage information.

CONSTITUTION: When an H level signal is inputted to a terminal St of a control circuit 40 from a NOR circuit 50, the output at a terminal Vc rises sequentially in 3 levels and the clock timing at each step is outputted in the order of CK3WCK1 and an output request signal OE is outputted to a gate terminal G of a decoder 30. The stepwise voltage being the output from the terminal Vc is reference potentials V1bWV3b discriminating the potential of the memory cell stored. Thus, the output of an EPROM 10 at each step where the reference potential changes stepwise is stored tentatively and the outputs of the EPROM 10 to all stages of the reference potentials are combined, then the 4-value state stored in one memory cell is discriminated at first. Th4e output is latched by latch circuits 22, 24 and 26.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]